

04504784 ****Image available****

PUB. NO.: 06-148684 [JP 6148684 A]
PUBLISHED: May 27, 1994 (19940527)
INVENTOR(s): MIKOSHIBA KEIMEI
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 04-303434 [JP 92303434]
FILED: November 13, 1992 (19921113)
INTL CLASS: [5] G02F-001/136; H01L-029/784
JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R011 (LIQUID CRYSTALS)
JOURNAL: Section: P, Section No. 1791, Vol. 18, No. 454, Pg. 123,
 August 24, 1994 (19940824)

ABSTRACT

PURPOSE: To reduce coupling capacity and to prevent gradations from being lowered even when enlarging numerical aperture by connecting another transparent electrode, which is provided through a capacity insulation film under a transparent electrode for liquid crystal drive, to a light shield metal film.

CONSTITUTION: A gate electrode (gate line) 3 of silicide or the like is formed on a multiple crystal Si 2 to be the body of a thin film transistor (TFT) and a drain line 4 is connected. On the other hand, a transparent electrode 6 is formed on a light shield film 5 formed on the TFT, and a transparent electrode 7 connected to a source 9 of the TFT is formed on a capacity insulation film 8 on that electrode 6. The transparent electrode 7 is the electrode for liquid crystal drive, storage capacity is formed through the capacity insulation film 8 at a gap between the transparent electrode 7 and the transparent electrode 6, and the transparent electrode 6 is connected to the light shield film (black matrix) 5 at a fixed potential. Then, the storage capacity is formed between this light shield film 5 and the source of the TFT. Thus, the large storage capacity can be provided without victimizing the numerical aperture, no storage capacity wiring is required, and the load of the gate line is lightened.

特開平6-148684

(43) 公開日 平成6年(1994)5月27日

| | | |
|----------------------------|---------|------------|
| (51) Int. Cl. ⁶ | 識別記号 | F I |
| G02F 1/136 | 500 | 9018-2K |
| H01L 29/784 | | |
| | 9056-4M | H01L 29/78 |
| | | 311 A |

審査請求 未請求 請求項の数4 (全5頁)

(21) 出願番号 特願平4-303434

(22) 出願日 平成4年(1992)11月13日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 御子柴 啓明

東京都港区芝五丁目7番1号日本電気株式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

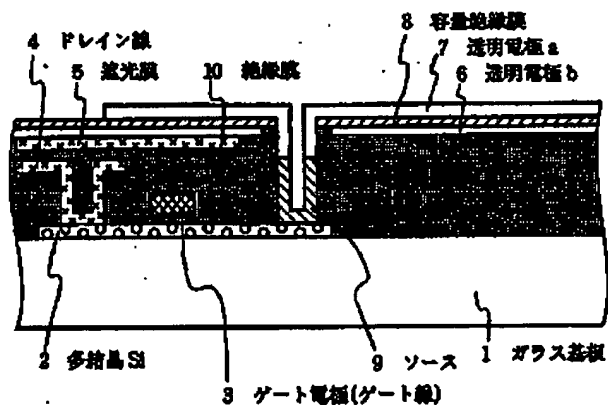
(54) 【発明の名称】 液晶表示素子

(57) 【要約】

【目的】 T F T型液晶表示素子において、開口率を犠牲にすることなくピクセル面積を減少させ、高精細な表示を可能にすることを目的とする。

【構成】 液晶駆動用の透明電極 a 7 の下方に、容量絶縁膜 8 を介して透明電極 b 6 があり、透明電極 b は遮光膜 5 に接続されている。

【効果】 開口率を減少させることなく、十分な蓄積容量を実現できる。



【特許請求の範囲】

【請求項1】 薄膜トランジスタを用いたアクティブマトリックス型液晶表示素子において、前記薄膜トランジスタのソース（ドレイン）に接続された第1の透明電極の下方に容量絶縁膜を介して第2の透明電極が設けられ、前記第2の透明電極は遮光金属膜に接続されていることを特徴とする液晶表示素子。

【請求項2】 前記容量絶縁膜はタンタル酸化膜であることを特徴とする請求項1記載の液晶表示素子。

【請求項3】 前記容量絶縁膜はタンタル酸化膜とシリコン窒化膜の多層膜であることを特徴とする請求項1記載の液晶表示素子。

【請求項4】 前記薄膜トランジスタのドレイン（ソース）に接続される電極が、前記薄膜トランジスタの活性領域を被っていることを特徴とする請求項1記載の液晶表示素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ（TFT）を用いたアクティブマトリックス型液晶表示素子に関する。

【0002】

【従来の技術】 図5は、TFTを用いたアクティブマトリックス型液晶表示素子の画素の等価回路である。ゲート線13とドレイン線14の交点に薄膜トランジスタ（TFT）19が接続され、TFTのソース電極は液晶20及び蓄積容量21へ接続される。図6は図5に示した画素の構造例の断面図である。ガラス基板1上に多結晶Si12、絶縁膜11、ゲート電極13を設け、ゲートの両側にドレイン電極14とソース電極15を設けてTFTを形成している。さらにTFTに隣接して透明電極b16、容量絶縁膜18、透明電極a17を設けて蓄積容量21を形成している。蓄積容量のゲート線に接続される電極に透明電極b16を用い、他方の電極を液晶駆動用電極すなわち透明電極a17と共用することにより、高い開口率を確保できる。すなわち、蓄積容量21を設けるために、光の透過を妨げることがない。

【0003】 従来技術の他の例を図7に示す。a-Si24を用いた逆スタガー型構造として知られているもので、最近の製品で用いられている。この場合は、蓄積容量をゲート線に接続せず、独立した蓄積容量線22に接続されている。蓄積容量線22は抵抗を下げる必要から、光を透過しないクロム等の金属配線が用いられている。

【0004】 TFTを用いた液晶表示素子では、水平走査が一順する間（フレーム周波数が60Hzならば16.7msの間）、液晶に信号電荷を蓄積しておく必要がある。しかし、TFTのリーク電流が大きく、液晶の容量は0.2pF程度と小さいため、電荷を完全に保持しきれない。そのため液晶と並列に接続される蓄積容量

が必要となる。この蓄積容量の追加は、画面のチラツキを防ぐためにも有用である。

【0005】

【発明が解決しようとする課題】 図5および図6に示した従来技術は、蓄積容量21がゲート線13に接続される。ゲート線は、TFTのスレッシュホールド電圧が2~3Vと高いことと、液晶に信号電圧を十分に与えるために、20V程度まで駆動する必要がある。蓄積容量を0.4pF、水平画素数を1257（HDTV対応）とすると、総容量は500pFとなる。垂直画素数を1035、走査周波数を60Hzとすると、ゲート線は16μs内に立ち上らなければならない。いまゲートパルスを1μsとすると、駆動電流は10mA以上、ゲート線の抵抗は2KΩ以下でなければならない。ゲート線幅を4μm、長さを4cmとすると、2KΩ以下を得るためには配線の総抵抗は0.2Ω/□よりも低くなければならない。

【0006】 周辺回路を外付けICではなく、多結晶シリコンTFTを用いた内蔵回路で実現しようとする、10mA以上の駆動電流を得るためには数100μm幅のトランジスタが必要になる。さらに、ゲート電極に0.2Ω/□以下のAl等の金属配線を用いなければならないため、プロセスが複雑になるという問題がある。

【0007】 図7に示す従来構造では、容量はすべてドレイン線につながる。ゲート線の容量はTFTのゲート容量のみであり、トータルで2.5pF程度であるから、駆動電流は50μA以上、配線の層抵抗は40Ω/□以下でよい。従って、TFT特性及び配線材料の制約はほとんどなくなる。

【0008】 一方、ドレイン線の信号振幅は、液晶を駆動するのに必要な5V程度であるから、ゲート振幅の1/4ですむ。従って、駆動TFTの寸法も小さくてよい。又、ドレイン線も0.8Ω/□以下の配線でよいから選択の幅が広がる。しかし、蓄積容量線22に抵抗の低い金属配線を用いなければならない。この配線は画素の中を通るため、この部分が不透明になり、画素の開口率を悪化させる。HDTV対応の画素寸法は30×30μm²程度であるから、蓄積容量線があると開口率を10%以上悪化させることになり大問題である。

【0009】

【課題を解決するための手段】 本発明の液晶表示素子は、液晶駆動用の第1の透明電極の下方に容量絶縁膜を介して第2の透明電極が設けられ、第2の透明電極は遮光金属膜に接続されている。

【0010】

【作用】 本発明の液晶表示素子は、第2の透明電極が遮光金属膜に接続される。遮光金属膜は固定電位になっているので、蓄積容量はドレイン線のみにかかり、ゲート線には付加されない。

【0011】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の第1の実施例の画素部断面図である。TFTのボディーとなる多結晶Si 12上にシリサイド又は高融点金属のゲート電極3が形成され、アルミニウム又は高融点金属のドレイン線4が接続される。TFT上にアルミニウムの遮光膜5が形成され、遮光膜上に透明電極b 6が形成されている。透明電極b上にシリコン窒化膜あるいはタンタル酸化膜あるいはシリコン窒化膜とタンタル酸化膜の多層膜よりなる容量絶縁膜8が設けられ、その上に透明電極a 7が形成される。透明電極aはTFTのソース9に接続されている。

【0012】透明電極aは液晶駆動用電極であり、容量絶縁膜を介して透明電極bとの間に蓄積容量が形成される。容量絶縁膜に100nm厚のシリコン窒化膜を用い、 $30 \times 30 \mu\text{m}^2$ の画素で透明電極aが $24 \times 24 \mu\text{m}^2$ 、開口率64%の場合には、蓄積容量として0.4pFが得られる。透明電極bはブラックマトリックスと呼ばれるアルミニウム遮光膜5に接続される。遮光膜の電位は通常グラウンドレベルに固定されている。

【0013】本発明の構造は、透明電極b 6と遮光膜5が直接接触するため、接続するためのコンタクト孔の開口は不要である。さらに、従来例のように蓄積容量線を必要としないため、製造プロセスが簡単になるばかりでなく、開口率を悪化させることがない。

【0014】蓄積容量は、固定電位の遮光膜（ブラックマトリックス）とTFTのソースの間に形成される。従って、ゲート線の負荷容量は軽くなり、層抵抗が数 Ω /口のシリサイド配線が使えるため、ゲート線形成後に平坦化のための高温リフロープロセスが使える等の利点がある。

【0015】図2は、本発明の第2の実施例の断面図で、蓄積容量の部分を示している。遮光膜5は透明電極b 6の上に形成することも可能である。このように遮光膜と透明電極の形成順序を入れ替えることができるためプロセスの自由度が増す。

【0016】図3は、本発明の画素の平面図である。TFT以外の部分は光透過領域となるため、高開口率が確保できる。 $30 \times 30 \mu\text{m}^2$ の画素でも、容易に50%以上の開口率が得られる。

【0017】図4に本発明の第3の実施例を示す。基本的構成は図1のものと同じであるが、この場合には、ドレイン線4がTFTの活性領域、すなわちゲート電極3を含む領域を被っている。これにより、TFTは遮光膜5とドレイン線4により2重に光源から遮蔽される。光の反射率の高いAlを用いた場合、完全な遮光性を得るためには単層の場合0.5 μm 以上の厚みが必要である。このとき、Alの段差により、液晶面の平坦性が損なわれる。この厚みは遮光を2重にすることにより、0.25 μm 以下にすることが可能であり、平坦化に有利となる。

【0018】HDTVでは50階調以上が必要となる。画素寸法が小さくなり、ドレイン線と画素電極（透明電極I）が接近するとカップリング容量が大きくなり、ドレイン線の信号によって画素電極電位が変調を受け、階調が得られなくなる。例えば、画素電極電位の変動を30mV以下に抑えようとする、蓄積容量が0.2pFの場合、カップリング容量は0.6fF以下でなければならない。本発明の構造は、ドレイン線と画素電極が遮光膜および容量電極によってシールドされるため、カップリング容量を極めて小さくできる。従って、画素電極を広げ開口率を大きくしても階調が低下することはない。

【0019】

【発明の効果】以上説明したように本発明は、画素電極の下に蓄積容量電極を設け、蓄積容量電極と遮光膜（ブラックマトリックス）を接続する構造を用いているので、以下に示す効果を有する。（a）開口率を犠牲にすることなく、大きな蓄積容量を得ることができる。

（b）蓄積容量はブラックマトリックスに接続されるため、蓄積容量配線が不要になる。（c）蓄積容量はゲート線につながらないため、ゲート線の負荷が軽くなり、シリサイド等のゲート配線が使える。（d）透明電極をTFTより上層部に形成できるため、TFT形成に高温プロセスが使える、高信頼性で高性能な特性が得られる。

（e）ブラックマトリックス形成後の素子表面の平坦性に優れる。（f）ドレイン線と画素電極は遮光膜でシールドされるため、カップリング容量が小さく、高階調が実現できる。（g）透明電極をデバイスの上層部に形成するため、TFT作製に高温プロセスが使える、高性能と高信頼性が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の素子断面図である。

【図2】本発明の第2の実施例の素子断面図である。

【図3】本発明の画素平面図である。

【図4】本発明の第3の実施例の素子断面図である。

【図5】従来技術の画素等価回路である。

【図6】従来技術の素子断面図である。

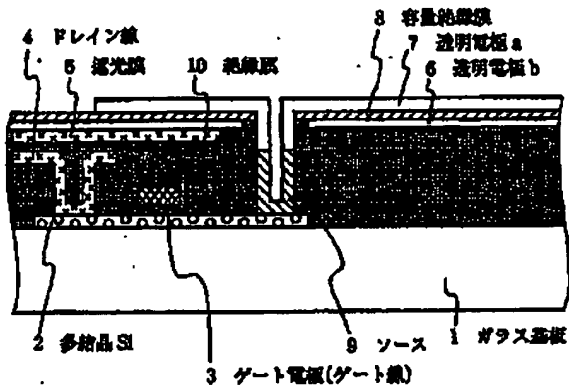
【図7】従来技術の他の例の素子断面図である。

【符号の説明】

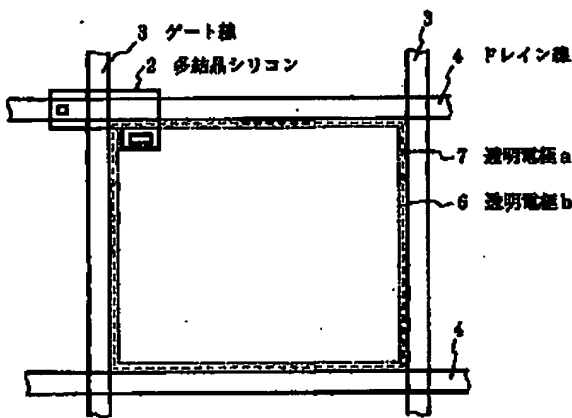
- 1 ガラス基板
- 2, 12 多結晶Si
- 3, 13 ゲート電極（ゲート線）
- 4, 14 ドレイン線
- 5 遮光膜
- 6, 16 透明電極b
- 7, 17 透明電極a
- 8, 18 容量絶縁膜
- 10, 23 絶縁膜
- 19 TFT
- 20 液晶

21 蓄積容量
22 蓄積容量線

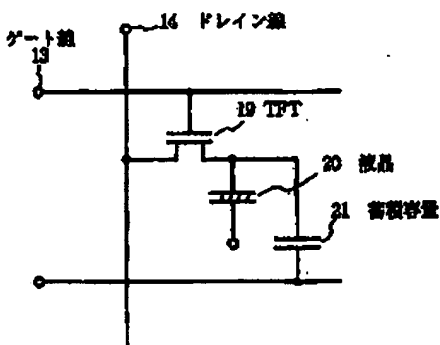
【図1】



【図3】

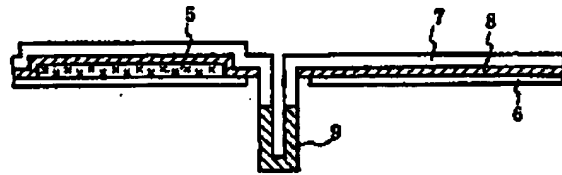


【図5】

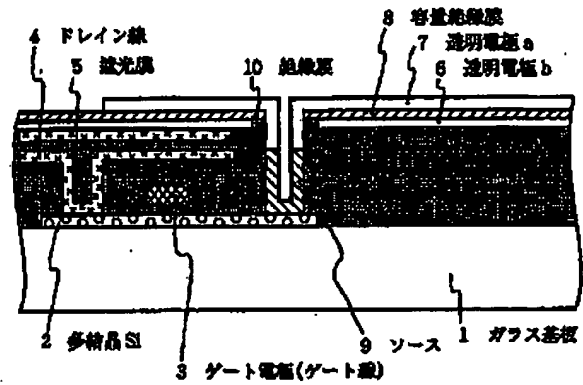


24 a-Si

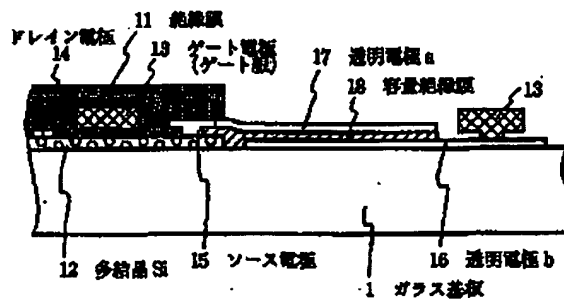
【図2】



【図4】

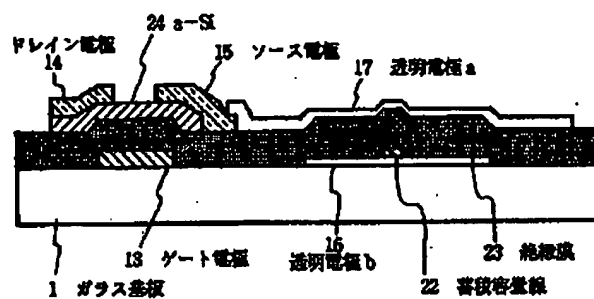


【図6】



2002/02/27

【図7】



JP6-148684

(19) Japanese Patent Office (JP)

(12) Laid-Open Disclosure Public Patent Bulletin

(11) Patent Application Laid-Open Disclosure No.: Hei6-148684

(43) Publication Date: May 27, 1994

| (51) Int. Cl. ⁵ | Identification Symbol | JPO File Number | FI |
|----------------------------|-----------------------|-----------------|------------------|
| G02F 1/136 | 500 | 9018-2K | |
| H01L 29/784 | | 9056-4M | H01L 29/78 311 A |

Request for Examination: Not requested

Number of Claims: 4 (5Pages in Total)

(21) Patent Application No.: Hei4-303434

(22) Patent Application Date: Nov 13, 1992

(71) Applicant: 000004237

NEC Corporation

5-7-1, Shiba, Minato-ku, Tokyo

(72) Inventor: Hiroaki Mikoshiba

5-7-1, Shiba, Minato-ku, Tokyo

c/o NEC Corporation

(74) Agent: Attorney Naoki Kyomoto and 2 others

(54) [Title of the Invention]

A liquid crystal display

(57) [Abstract]

[Object]

It is an object to reduce a pixel area without sacrificing aperture ratio and to enable high definition display in a TFT liquid crystal element.

[Structure]

A transparent electrode b 6 is formed below a transparent electrode a 7 for driving liquid crystal with a capacitor insulating film 8 interposed therebetween, wherein the transparent electrode b is connected to a light shielding film 5.

[Effect]

Sufficient storage capacitor can be realized without reducing aperture ratio.

[Scope of Claim]

[Claim 1]

A liquid crystal display element characterized in that a second transparent electrode is provided below a first transparent electrode connected to a source (drain) of a thin film transistor with a capacitor insulating film interposed therebetween, wherein the second transparent film is connected to a light shielding metal membrane in an active matrix liquid crystal display element using the thin film transistor.

[Claim 2]

A liquid crystal display element mentioned in claim 1, characterized in that the capacitor insulating film is a tantalum oxide film.

[Claim 3]

A liquid crystal display element mentioned in claim 1, characterized in that the capacitor insulating film is a multilayer film of a tantalum oxide film and a silicon nitride film.

[Claim 4]

A liquid crystal display element mentioned in claim 1, characterized in that an electrode connected to a drain (source) of the thin film transistor covers an active region of the thin film transistor.

[Detailed Description of the Invention]

[0001]

[Field of Industrial Application]

The present invention relates to an active matrix liquid crystal display element using a thin film transistor (TFT).

[0002]

[Prior Art]

FIG. 5 is an equivalent circuit of a pixel in an active matrix liquid crystal display element using a TFT. A thin film transistor (TFT) 19 is connected to the

intersection point of a gate line 13 and a drain line 14, and a source electrode of the TFT is connected to liquid crystal 20 and a storage capacitor 21. FIG 6 is a cross-sectional view showing a structural example of the pixel shown in FIG 5. Polycrystalline Si 12, an insulating film 11, and a gate electrode 13 are provided over a glass substrate 1, and a drain electrode 14 and a source electrode 15 are provided on each side of a gate. Thus, the TFT is formed. Moreover, a transparent electrode b 16, a capacitor insulating film 18, and a transparent electrode a 17 are provided adjacent to the TFT to form the storage capacitor 21. High aperture ratio can be secured by using the transparent electrode b 16 as an electrode connected to the gate line of the storage capacitor, and commonly using a liquid crystal driving electrode, that is, the transparent electrode a 17 as the other electrode. Accordingly, since the storage capacitor 21 is provided, optical transmission is not disturbed.

[0003]

Another example of a conventional art is shown in FIG. 7. The technology is known as an inverted-staggered structure with the use of a-Si 24, which is employed for recent products. In this case, a storage capacitor is connected to an independent storage capacitor line 22 without being connected to a gate line. As for the storage capacitor line 22, a metal wiring such as chrome which does not transmit light is used because of need to reduce a resistor.

[0004]

In a liquid crystal display element using a TFT, it is necessary to store signal charge in liquid crystal during one horizontal scanning cycle (When the frame frequency is 60 Hz, within 16.7 mS). However, leak current of the TFT is large and capacitance of liquid crystal is small with about 0.2 pF. Thus, an electric charge cannot be completely held. Accordingly, the storage capacitor connected in parallel with the liquid crystal is required. To add this storage capacitor is effective for preventing a screen from flickering.

[0005]

[Problems to be Solved by the Invention]

The storage capacitor 21 is connected to the gate line 13 in the conventional art shown in FIG. 5 and FIG. 6. It is necessary that the gate line is driven about 20 V, since the threshold voltage of the TFT is high as 2 to 3 V, and in order to give liquid

crystal signal voltage sufficiently. Total capacitance becomes 500 pF if the storage capacitance is 0.4 pF and the number of horizontal pixels is 1257 (corresponding to HDTV). If the number of vertical pixels is 1035 and scanning frequency is 60 Hz, the gate line must rise within 16 μ s. Now, if the gate pulse is 1 μ s, the driving current must be 10 mA or more and the resistance of the gate line must be 2 k Ω or less. If the width of the gate line is 4 μ m and the length of the gate line is 4cm, the total resistance of the wiring must be 0.2 k Ω /□ or less to make resistance of the gate line 2 k Ω or less.

[0006]

When a peripheral circuitry is realized using a built-in circuitry with the use of polycrystalline silicon TFT rather than an external IC, a transistor having a width of several hundred μ m is required to obtain drive current of 10 mA or more. Furthermore, there is a problem of process complexity, since a metal wiring such as Al of 0.2 k Ω /□ or less must be used for a gate electrode.

[0007]

Capacitance is all connected to a drain line in the conventional structure shown in FIG. 7. Since capacitance of a gate line is only the gate capacitance of a TFT, and it is about 2.5 pF in total, the driving voltage may be 50 μ A or more and the total capacitance of the wiring may be 40 Ω /□ or less. Accordingly, constraints on TFT characteristics and a wiring material can be mostly eliminated.

[0008]

On the other hand, since signal amplitude of the drain line is about 5 V that is needed for driving liquid crystal, the signal amplitude of the drain line is only 1/4 of the gate amplitude. Thus, the size of a driving TFT can be small. In addition, options for selecting of the drain line also increases since the drain line of 0.8 k Ω /□ or less can suffice. However, a metal wiring whose resistance is low must be used for the storage capacitor line 22. Since the wiring runs through a pixel, a portion where the wiring runs becomes non-transparent; thus, the aperture ratio is deteriorated. Because pixel dimension for HDTV are around $30 \times 30 \mu\text{m}^2$, when there is a storage capacitor line, the aperture ratio is to be deteriorated by 10 % or more, which is a big problem.

[0009]

[Means for Solving the Problem]

In a liquid crystal display according to the present invention, a second transparent electrode is provided below a first transparent electrode for driving liquid crystal with a capacitor insulating film interposed therebetween, wherein the second transparent electrode is connected to a light shielding metal film.

[0010]

[Action]

As for a liquid crystal display element according to the present invention, a second transparent electrode is connected to a light shielding metal film. Since the light shielding metal film is fixed voltage, a storage capacitance is subjected only to a drain line without being added to a gate line.

[0011]

[Embodiment]

Next, the present invention will be explained with reference to the drawings. FIG. 1 is a cross-sectional view showing a pixel portion of a first embodiment according to the present invention. A gate electrode 3 of silicide or a refractory metal is formed over a polycrystalline Si 2 which is to be the body of a TFT, and a drain line 4 of aluminum or a refractory metal is connected thereto. A light shielding film 5 of aluminum is formed over the TFT, and a transparent electrode b 6 is formed over the light shielding film. A capacitor insulating film 8 formed of a silicon nitride film, a tantalum oxide film, or a multilayer film comprising a silicon nitride film and a tantalum oxide film is provided over the transparent electrode b, and a transparent electrode a 7 is formed thereover. The transparent electrode a is connected to a source 9 of the TFT.

[0012]

The transparent electrode a is a liquid crystal driving electrode and a storage capacitor is produced between the transparent electrode a and the transparent electrode b with the capacitor insulating film interposed therebetween. In the case where a 100 nm thick silicon nitride film is used for the capacitor insulating film, a pixel is $30 \times 30 \mu\text{m}^2$, the transparent electrode a is $24 \times 24 \mu\text{m}^2$, and the aperture ratio is 64 %; storage capacitance of 0.4 pF is obtained. The transparent electrode b is connected to the aluminum light shielding film 5 which is called a black matrix. The electric potential

of the light shielding film is usually fixed at ground level.

[0013]

Since the transparent electrode b 6 is in direct contact with the light shielding film 5 in the structure of the present invention, an opening of a contact hole for connection is not required. Further, the structure of the present invention does not need a storage capacitor line, unlike the conventional embodiment. Therefore, a manufacturing process is simplified; furthermore, aperture ratio is not deteriorated.

[0014]

The storage capacitor is formed between the light shielding film of the fixed potential (the black matrix) and the source of the TFT. Accordingly, load capacitance of the gate line is lightened and a silicide wiring whose resistance is several Ω/\square can be used. Thus, there are advantages, for example, a high temperature reflow process for planarization can be carried out after forming the gate line.

[0015]

FIG. 2 is a cross-sectional view of a second embodiment according to the present invention, which shows the portion of the storage capacitor. The light shielding film 5 can also be formed over the transparent electrode b 6. Since the formation order of the light shielding film and the transparent electrode can be replaced as above, flexibility in a process is increased.

[0016]

FIG. 3 is a plan view of a pixel according to the present invention. Since the portion except the TFT becomes a light transmitting region, high aperture ratio can be secured. The aperture ratio of 50 % or more is easily obtained even if the pixel is $30 \times 30 \mu\text{m}^2$.

[0017]

A third embodiment of the present invention is shown in FIG. 4. The basic structure is the same as that of FIG. 1, but in this case, the drain line 4 covers an active region of the TFT, namely, a region including the gate electrode 3. Consequently, the TFT is double shielded by the light shielding film 5 and the drain line 4 from a light source. In the case of using Al which has high light reflectance, when the drain line is a single layer it is required to have a thickness of $0.5 \mu\text{m}$ or more to obtain a complete

light-shielding effect. Then, planarity of liquid crystal is lost by steps of Al. The thickness can be 0.25 μm or less by double light shielding, which is advantages in planarization.

[0018]

50 or more gradations are required in HDTV. When the size of pixels becomes small, and a drain line and a pixel electrode (a transparent electrode (i)) come close, a coupling capacitance is increased and the potential of a pixel electrode is modulated by a signal of the drain line. Accordingly, gradation can not be obtained. For example, to suppress fluctuation of the potential of the pixel electrode to 30 mV or less, the coupling capacitance must be 0.6 pF or less in the case where the storage capacitance is 0.2 pF. As for the structure of the present invention, the drain line and the pixel electrode are shielded by the light shielding film and a capacitor electrode, so that the coupling capacitance can be made extremely small. Therefore, even when the pixel electrode is widened and the aperture ratio is made large, the gradation is not deteriorated.

[0019]

[Effect of the Invention]

As described above, a structure in which a storage capacitor electrode is provided below a pixel electrode, and the storage capacitor electrode and a light shielding film (a black matrix) are connected is employed in the present invention; the present invention has the effects shown below. (a) A large storage capacitance can be obtained without sacrificing aperture ratio. (b) Since a storage capacitance is connected to the black matrix, a storage capacitor line is not necessary. (c) Since the storage capacitor is not connected to a gate line, load on the gate line becomes lower, and a gate line using a material such as silicide can be used. (d) Since a transparent electrode can be formed in a layer upper than a TFT, a high temperature process can be employed in forming the TFT, and characteristics of high reliability and high performance can be obtained. (e) The present invention is superior in planarity of a surface of an element after forming the black matrix. (f) Since a drain line and the pixel electrode are shielded with a light shielding film, the coupling capacitance is small and a high gradation can be realized. (g) Since the transparent electrode is formed in an upper layer of the device, a thermal process can be employed for manufacturing the

TFT; accordingly, high performance and high reliability can be obtained.

[Brief Description of Drawings]

[FIG. 1] a cross-sectional view of an element of the first embodiment according to the present invention.

[FIG. 2] a cross-sectional view of an element of the second embodiment according to the present invention.

[FIG. 3] a view of a pixel according to the present invention.

[FIG. 4] a cross-sectional view of an element of the third embodiment according to the present invention.

[FIG. 5] an equivalent circuit according to a conventional art.

[FIG. 6] a cross-sectional view of an element according to a conventional art.

[FIG. 7] a cross-sectional view of an element of another example according to a conventional art.

[Description of References]

1: glass substrate, 2,12: polycrystalline Si, 3,13: gate electrode (gate line), 4,14: drain line, 5: light shielding film, 6,16: transparent electrode b, 7,17: transparent electrode a, 8,18: capacitor insulating film, 10,23: insulating film, 19: TFT, 20: liquid crystal, 21: storage capacitor, 22: storage capacitor line, 24: a-Si

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.